

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043492

(43)Date of publication of application : 08.02.2002

(51)Int.Cl.

H01L 23/50

H01L 23/28

(21)Application number : 2000-227289

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.07.2000

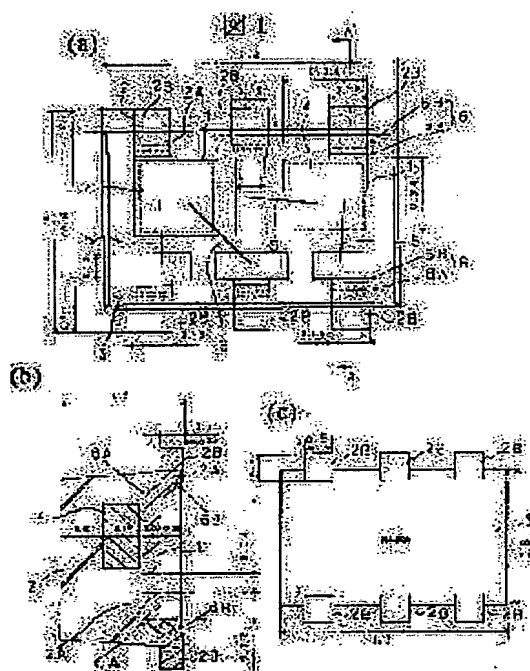
(72)Inventor : MIKAMI AKIO
MUTO KUNIHARU
TAKAHASHI KAZUYA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To widen a substantially flat part area for a semiconductor chip mounting and a flat part area for wire bonding by mounting a semiconductor chip on the same package and miniaturizing a semiconductor device.

SOLUTION: In the semiconductor device sealing by a sealant a connection part connecting the semiconductor chip forming a circuit on the main face of a semiconductor board, a lead connected electrically to an outside electrode provided on the circuit forming face of the semiconductor chip, the inside lead of the lead, and the outside electrode and the inside lead part of the lead, the folding part of the lead is provided in the inside of the sealant, and a fold groove (for instance, V-shaped fold groove) is provided on the outside corresponding to the position of the folding direction of the lead.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-43492
(P2002-43492A)

(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 23/50
23/28

H 0 1 L 23/50
23/28

B 4 M 1 0 9
A 5 F 0 6 7
J

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2000-227289(P2000-227289)

(22) 出願日 平成12年7月27日 (2000.7.27)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 三上 昭夫

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 武藤 邦治

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100083552

弁理士 秋田 収喜

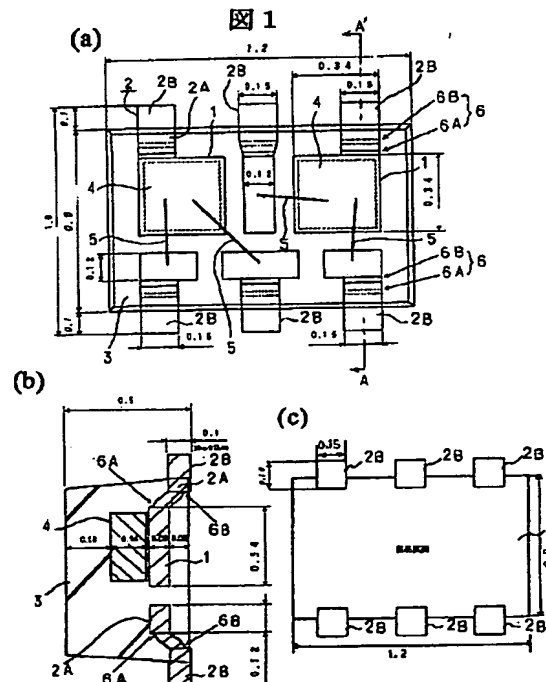
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 同一パッケージに大きい半導体チップを搭載して半導体装置の小型化をはかる。半導体チップ搭載用のほぼ平坦部領域とワイヤボンディング用の平坦部領域を広くする。

【構成】 半導基板の主面に回路が形成された半導体チップと、該半導体チップの回路形成面に設けられた外部電極と電気的に接続されたリードと、前記半導体チップ、前記リードの内部リード、及び前記外部電極とリードの内部リード部とが接続された接続部が封止材で封止された半導体装置において、前記リードの折り曲げ部が封止材の内部に設けられ、かつ前記リードの折り曲げる方向の位置に対応する外側に、折り目溝（例えば、V字状の折り目溝）が設けられてなる。



【特許請求の範囲】

【請求項1】 半導基板の主面に回路が形成された半導体チップと、該半導体チップの回路形成面に設けられた外部電極と電気的に接続されたリードと、前記半導体チップ、前記リードの内部リード、及び前記外部電極とリードの内部リード部とが接続された接続部が封止材で封止された半導体装置において、前記リードの折り曲げ部が封止材の内部に設けられ、かつ前記リードの折り曲げる方向の位置に対応する外側に、折り目溝が設けられていることを特徴とする半導体装置。

【請求項2】 前記半導体装置は、面付けタイプ（面実装型）の半導体装置であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記折り目溝の深さは、前記リードの50%以下であることを特徴とする請求項1又は2に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関し、特に、小型の面付けタイプ（面実装型）の樹脂封止型パッケージ（レジンパッケージ）の半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 従来の面付けタイプ（面実装型）のトランジスタ素子実装の半導体装置は、例えば、図6(a)、(b)、(c)に示すように、半導基板の主面にトランジスタ回路が形成された半導体チップ（ペレット）4をリードフレームの半導体チップ搭載部1に2個搭載し、前記半導体チップ4の回路形成面に設けられた外部電極と前記リード2の内部リードとをボンディングワイヤ5で電気的に接続し、前記リード2の内部リード、前記半導体チップ4、前記ボンディングワイヤ5、及び前記外部電極と前記リード2とをボンディングワイヤ5で電気的に接続した接続部を封止材で封止した後、前記リード2の外部リード部を切断加工して面実装型半導体装置を構成している。

【0003】

【発明が解決しようとする課題】 前記従来のリードフレームを使用するパッケージにおいては、リードフレーム10の半導体チップ搭載部1に接続されるリード2及び信号用リードの内部リードのリード折り曲げ部7の外側アール（R）を問題にする程の大きさのパッケージは必要とされなかった。ところが、最近では、小型化が望まれるようになり、リードの折り曲げ部7の外側アール（R）領域上にも半導体チップを搭載できないかと検討した結果、リードフレームの半導体チップ搭載部1のリード部の曲げアール（R）の影響を受ける領域（例えば、搭載される半導体チップ4との間に隙間が生じる領域）8が生じるため、安定性や信頼性の点で問題があることがわかった。

【0004】 本発明の目的は、同一パッケージに大きい半導体チップを搭載して半導体装置の小型化をはかることが可能な技術を提供することにある。

【0005】 本発明の他の目的は、半導体装置のパッケージにおいて、半導体チップ搭載用のほぼ平坦部領域とワイヤボンディング用の平坦部領域を広くすることが可能な技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0006】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

(1) 半導基板の主面に回路が形成された半導体チップと、該半導体チップの回路形成面に設けられた外部電極と電気的に接続されたリードと、前記半導体チップ、前記リードの内部リード、及び前記外部電極とリードの内部リード部とが接続された接続部が封止材で封止された半導体装置において、前記リードの折り曲げ部が封止材の内部に設けられ、かつ前記リードの折り曲げる方向の位置に対応する外側に、折り目溝（例えば、V字状の折り目溝）が設けられている。

【0007】 (2) 前記手段(1)の半導体装置において、前記半導体装置は、面付けタイプ（面実装型）の半導体装置である。

【0008】 (3) 前記手段(1)又は(2)の半導体装置において、前記折り目溝（例えば、V字状の折り目溝）の深さは、前記リードの50%以下である。

【0009】 このように前記リードの折り曲げ部が前記封止材の内部に設けられ、かつ前記リードの折り曲げる方向の位置に対応する外側に、折り目溝（例えば、V字状の折り目溝）が設けられることにより、リードの曲げ加工を行った際に、この折り目溝（例えば、V字状の折り目溝）が広がって曲がり、曲げアール（R）の影響を受けずに、半導体チップ搭載用の平坦部領域とワイヤボンディング用の平坦部領域を広くすることが可能となるので、同一パッケージ寸法（サイズ）において、従来よりも大きい半導体チップを搭載することができ、半導体装置を小型化することができる。

【0010】 以下、本発明について、図面を参照して実施の形態（実施例）とともに詳細に説明する。なお、実施の形態（実施例）を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0011】

【発明の実施の形態】 図1は、本発明による一実施の形態（実施例）のトランジスタ素子を2個搭載した半導体装置の全体概略構成を示す図であり、図1(a)は、封止体の上半分を除去した上平面（表側から見た）図、図1(b)は、図1(a)のA-A'線で切った断面図、

図1(c)は、半導体装置の下平面(裏側から見た)図である。図2(a)は、図1(a)のリードを折り曲げる前の平面図、図2(b)は、図2(a)のA-A'線で切った断面図であり、図3(a)は、リード折り曲げ前の形状断面図、図3(b)は、リード折り曲げ後の形状断面図である。

【0012】図1乃至図3において、1はリードフレームの半導体チップを搭載する半導体チップ搭載部(タブ)、2はリード、2Aはリードの内部リード部、2Bはリードの外部リード部、3は樹脂封止材(例えばレジ
10 ン)、4はトランジスタ素子(半導体チップ)、5はボンディングワイヤ、6はリードの折り曲げ部、6Aは表側の折り目溝(例えば、V字状の折り目溝)、6Bは裏側の折り目溝(例えば、V字状の折り目溝)である。

【0013】図4は、トランジスタ2素子搭載用のリードフレームの概略構成を示す平面図であり、1はリードフレームの半導体チップを搭載する半導体チップ搭載部(タブ)、2はリード、2Cはリード支持枠、10はリ
ードフレームである。

【0014】本実施の形態(実施例)のトランジスタ素子
20 を2個搭載した半導体装置は、図1乃至図3に示すように、リードフレームの半導体チップを搭載する半導体チップ搭載部(タブ)1上に2個のトランジスタ素子(半導体チップ)4が搭載されている。前記トランジスタ素子4の半導基板の主面にトランジスタ回路(図示していない)が形成されており、前記回路形成面に設けられた外部電極(図示していない)とリード2の内部リード部2Aとがボンディングワイヤ5により電気的に接続されている。前記リード2の内部リード、前記半導体チップ4、前記ボンディングワイヤ5、及び前記外部電極
30 とリード2の内部リード部2Aとが接続された接続部が樹脂封止材3で封止されている。

【0015】前記リード2の内部リード2Aには、その内部リード2Aの折り曲げ部6(樹脂封止材3の内部の位置)に設けられ、かつ前記内部リード2Aの折り曲げる方向の位置に対応する外側に、V字状(他の形状でもよい)の折り目溝6A、6Bが設けられている。前記折り目溝6A、6Bの深さは、0.01~0.04ミリメートル(mm)である(図2、図3)。前記リード2の強度との関係から前記リード2の厚さの50%以下である
40 ことが好ましい。

【0016】このように前記リード2の折り曲げ部6が樹脂封止材3の内部に設けられ、かつ前記リード2の折り曲げる方向の位置に対応する外側に、V字状の折り目溝6A、6Bが設けられることより、リード2の曲げ加工を行った際に、このV字状の折り目溝6A、6Bが広がって曲がり、曲げアール(R)の影響を受けずに、半導体チップ搭載用の平坦部領域とワイヤボンディング用の平坦部領域を広くすることが可能となるので、図1

(a)及び図1(c)に示すように、同一パッケージ寸

法(サイズ)において、従来よりも大きい半導体チップ4を搭載することができ、半導体装置を小型化することができる。すなわち、極めて小さいパッケージに大きい半導体チップ4を搭載することが可能となる。例えば、本実施形態では、図1(a)及び図1(c)に示すように、1.2mm×0.8mm(1208)サイズパッケージに、従来では0.23mm□までの半導体チップ4しか搭載できなかったが、本発明によれば、0.3mm□の半導体チップ4が搭載できた。

【0017】前記各部の寸法は、図中に記載してあり、その単位はミリメートル(mm)である。

【0018】次に、本実施の形態(実施例)のトランジスタ素子(半導体チップ)が2個搭載された半導体装置の製造方法を説明する。

【0019】図4に示すようなリードフレーム10を用意する。このリードフレーム10のリード2の内部リード2Aには、前述したように前記内部リード2Aの折り曲げる方向の位置に対応する外側に、V字状の折り目溝6A、6Bが設けられている。すなわち、前記リード2の折り曲げ部6の表側にV字状の折り目溝6Aが、裏側にはV字状の折り目溝6Bが設けられている(図2、図3)。

【0020】次に、前記リードフレーム10の半導体チップ搭載部(タブ)1上に2個のトランジスタ素子(半導体チップ)4を接着して搭載する。前記半導体チップ4の回路形成面に設けられた外部電極(図示していない)とリード2の内部リード部2Aとをボンディングワイヤ5により電気的に接続する。前記半導体チップ4、前記リード2の内部リード2A、及び前記外部電極と
リード2の内部リード部2Aとが接続された接続部が樹脂封止材(例えば、レジン)3で封止される。

【0021】次に、図5に示すように、前記リード2を凹型のフレーム曲げ金型11Aと凸型のフレーム曲げ金型11Bの間に挟み込んで、前記リード2の折り曲げ部6の表側に設けられたV字状の折り目溝6A、及び裏側に設けられたV字状の折り目溝6Bの位置で折り曲げる。リード2の切断加工等のその他の加工は従来法と同じである。

【0022】以上、本発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0023】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。明によれば、リードの曲げ加工を行った際に、この折り目溝(例えば、V字状の折り目溝)が広がって曲がり、曲げアール(R)の影響を受けずに、半導体チップ搭載用の平坦部領域とワイヤボンディング用の平坦部領域を広くするので、同一パッケージ寸

法（サイズ）において、従来よりも大きい半導体チップを搭載することができ、半導体装置を小型化することができる。

【図面の簡単な説明】

【図1】本発明による一実施の形態（実施例）のトランジスタ素子を2個搭載した半導体装置の概略構成を示す図である。

【図2】本実施形態のリードの折り曲げ部の概略構成を示す図である。

【図3】本実施形態のリードの折り曲げ部のリード折り曲げ前後の形状を示す断面図である。

【図4】本実施形態のトランジスタ素子を2個搭載するためのリードフレームの概略構成を示す平面図である。

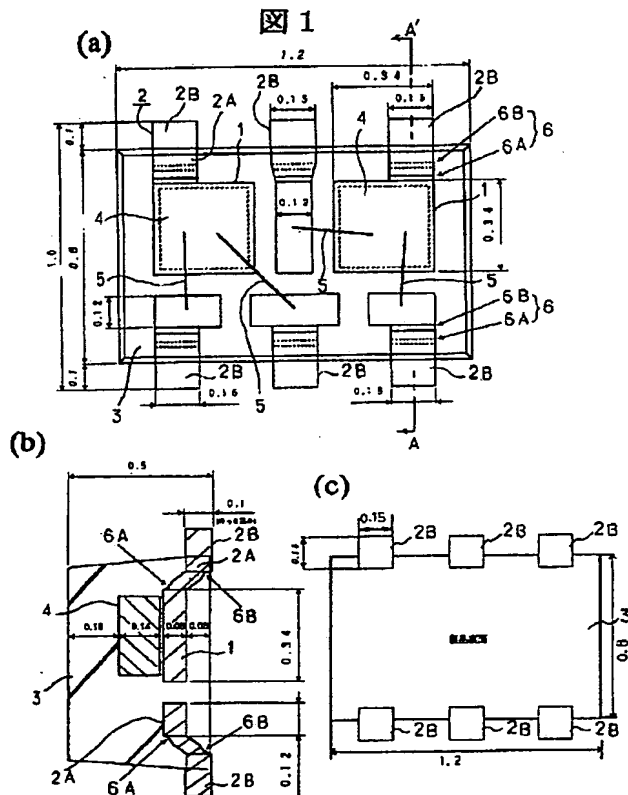
【図5】本実施形態のリード折り曲げ加工装置の金型とその動作状態を示す図である。

【図6】従来のトランジスタ素子を2個搭載した半導体装置の問題点を説明するための図である。

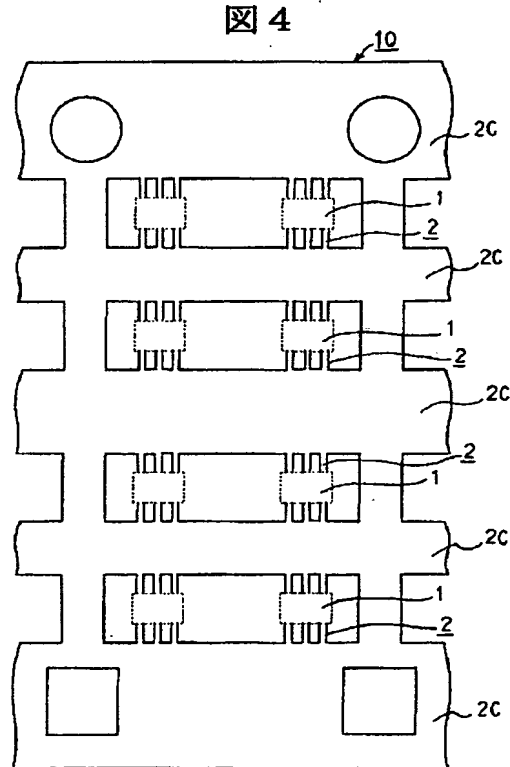
【符号の説明】

- 1…半導体チップ搭載部（タブ）
- 2…リード
- 2A…リードの内部リード部
- 2B…リードの外部リード部
- 2C…リード支持枠
- 3…封止材（例えばレジン）
- 4…トランジスタ素子（半導体チップ）
- 5…ボンディングワイヤ
- 6、7…リードの折り曲げ部
- 6A…表側折り目溝（例えば、V字状の折り目溝）
- 6B…裏側折り目溝（例えば、V字状の折り目溝）
- 8…曲げアール（R）の影響を受ける領域
- 10…リードフレーム
- 11A…凹型のフレーム曲げ金型
- 11B…凸型のフレーム曲げ金型

【図1】



【図4】



【図2】

図 2

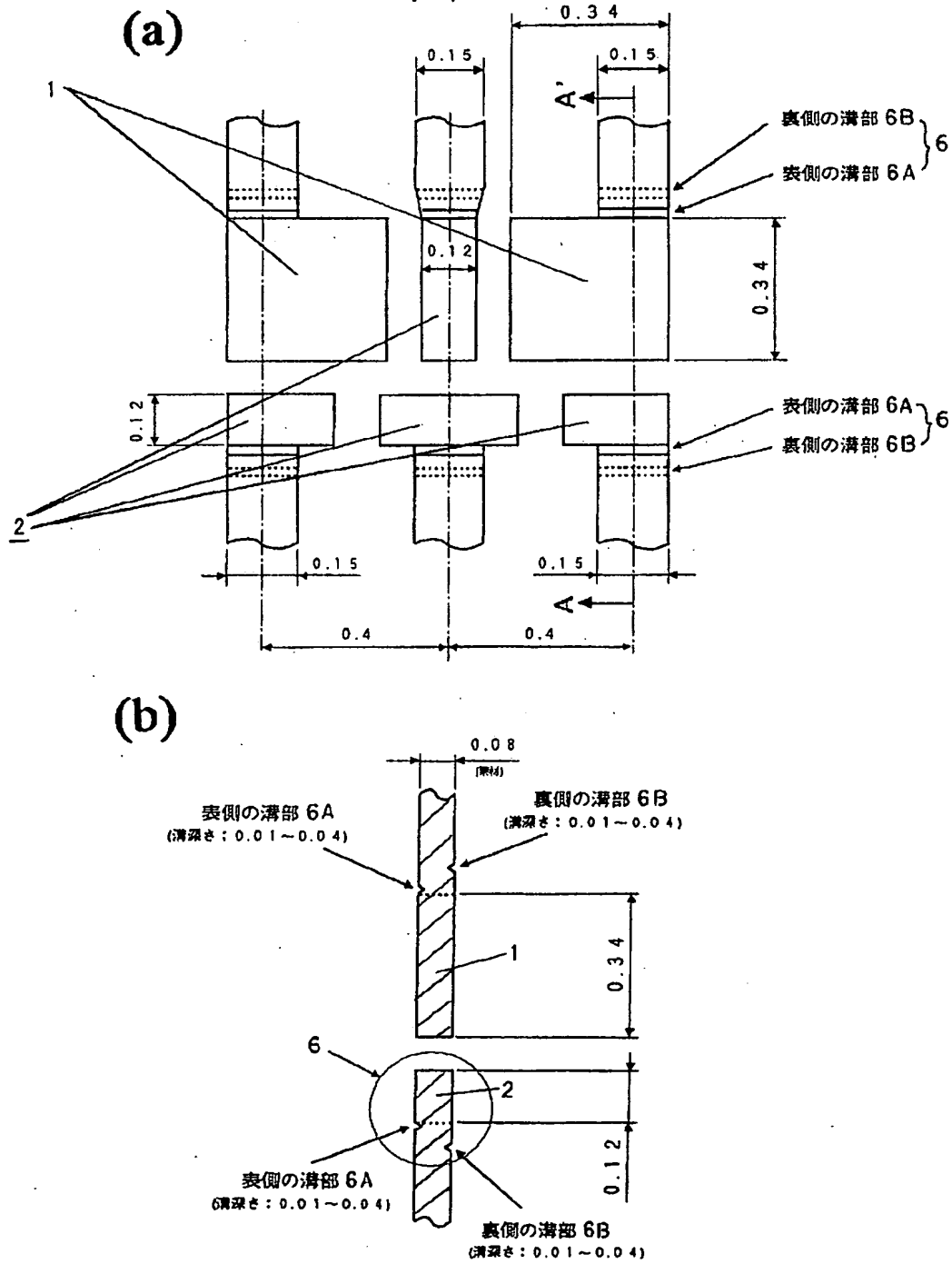
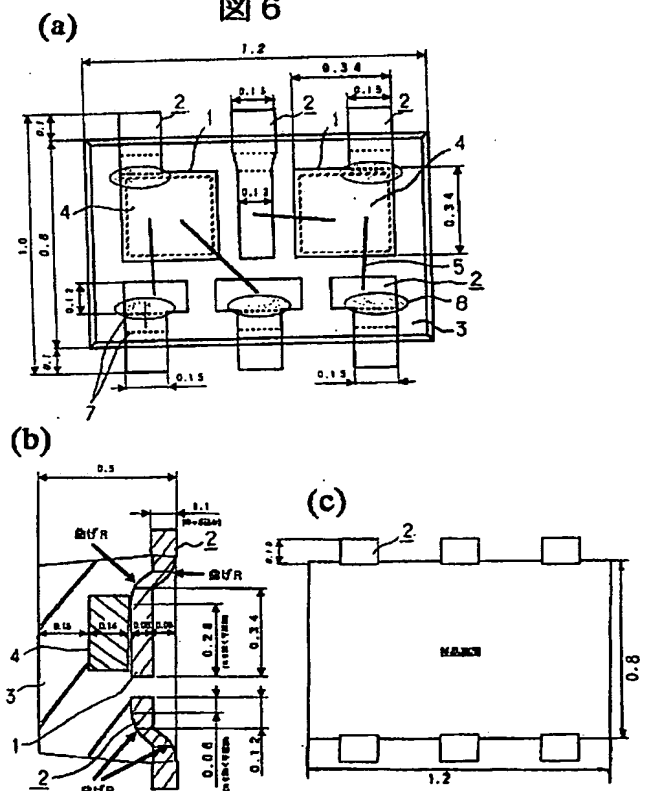


图 3



图 6



フロントページの続き

(72)発明者 高橋 和也

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

F ターム(参考) 4M109 AA01 BA01 CA21 DA07 DA10
DB15 FA04
5F067 AA01 AB02 BA08 BC13 BC15
DB06

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.